

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-318161

(43)Date of publication of application : 27.12.1988

(51)Int.Cl.

H01L 29/74

H01L 21/52

H01L 21/60

H01L 29/44

(21)Application number : 62-152889

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 19.06.1987

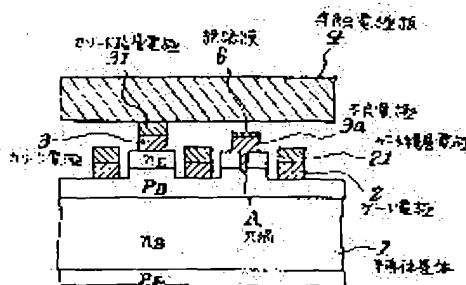
(72)Inventor : ENDO KATSUHIRO
HASHIMOTO OSAMU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To execute the removal of a defective segment without a mechanical cutting by a method wherein an insulating film is provided on a metal deposited film on an n-type emitter layer having a defect and laminated electrode deposited films are each coated on the other normal electrodes to form step electrodes.

CONSTITUTION: In a semiconductor substrate 1 consisting of 4 layers of a p-type emitter layer pE, an n-type base layer nB, a p-type base layer pB and an n-type emitter layer nE, gate electrodes 2 are provided on the above base layer pB and at the same time, a cathode electrode 3 is split and arranged on the emitter layer nE. In such a GTO element structure, in case a defective electrode 3a exists, an insulating film 6 is coated on this electrode 3a. After that, gate and cathode laminated electrodes 21 and 31 are each laminated on the other normal electrodes and the electrode film only laminated on the electrode 3a is removed to form step electrodes. Moreover, a contact electrode plate 4 is abutted on the cathode laminated electrode 31. If a device is constituted in such a way, the electrode 3a can be electrically eliminated without removing by mechanical cutting.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-318161

⑭ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月27日

H 01 L 29/74
21/52
21/60
29/44
29/74

J-7376-5F
J-8728-5F
6918-5F
G-7638-5F
C-7376-5F

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体装置

⑰ 特 願 昭62-152889

⑱ 出 願 昭62(1987)6月19日

⑲ 発 明 者 遠 藤 勝 弘 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 発 明 者 橋 本 理 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 染 谷 仁

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1) 半導体基体の一方の主表面に少なくとも二つの層がそれぞれ露出し、一方の層は分割されてそれぞれ他方の層によって取り囲まれており、分割された一方の層のそれぞれ及び他方のそれぞれに電極が接触され、一方の層の分割されたそれぞれの上の第一の各電極にさらに第二の電極が接触される半導体装置において、一方の層の分割されたそれぞれの上の第一の各電極に関して、異常な電極上に絶縁被膜を被着せしめ、残りの他の正常な電極には電極膜を積層して異常な電極との間に段差を形成させることにより正常な第一の各電極に第二の電極を接触させることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、特にゲートターンオフ

サイリスタ(以下、GTOと略称する)等の電流遮断機能を有する半導体装置に関する。

〔従来の技術〕

この種の半導体装置には、電流遮断時間が短いことが要求される。電流遮断は、カソード電極下からゲート電極に電流担体を引き出すことにより行われるので、nエミッタ領域の中心からゲート電極までの距離は短い方が望ましいため、一般にnエミッタは細長いたんざく状に形成され、ゲート電極がnエミッタ領域を取り囲むように配置されているのが普通である。

第3図には、従来のGTO素子構造を部分拡大断面図で示してある。

第3図において、pエミッタ(p_e)、nベース(n_b)、pベース(p_b)、そしてnエミッタ(n_e)の四つの層から成る半導体基体1には、p_b上にゲート電極2とn_e上にカソード電極3とが分割配置されている。さらに、分割配置されたカソード電極上には接触電極板4が当接するように置かれている。このとき、ゲート電極2とカ

ソード電極3とが接触電極板4を介して短絡することがないように、半導体基体1の主表面に配置されたゲート電極2とカソード電極3とは高低差をつけて第3図に示すような構造となっている。そして、半導体基体1の表面は、各電極が接触している部分を除いて、表面安定化膜が設けられ、ゲート電極2上にはカソード電極3との絶縁のための絶縁膜が設けられている（簡略化のため図示しない）。

（発明が解決しようとする問題点）

しかし、第3図に示すような従来のGTO素子構造において、カソード電極3の下側の n_r 層に例えば符号Aで示す欠陥が存在した場合には、ゲート電極2とカソード電極3との間に逆バイアス電圧を印加してターンオフさせようとしても欠陥Aのために電流遮断が有効に行われなくなる。そのような場合は、欠陥Aのある n_r 層のカソード電極3に主電流を流さないようにするため欠陥Aを有するカソード電極（以下、不良電極3aと称する）を除去する方法がとられる。

除き、不良電極を除去することなく、正常電極と不良電極との間に段差を設けることによって不良電極の電気的機能を停止させ得ることを見出した。

しかし、本発明は、要約すれば、半導体基体の一方の主表面に少なくとも二つの層がそれぞれ露出し、一方の層は分割されてそれぞれ他方の層によって取り囲まれており、分割された一方の層のそれぞれ及び他方のそれぞれに電極が接触され、一方の層の分割されたそれぞれの上の第一の各電極にさらに第二の電極が接触される半導体装置において、一方の層の分割されたそれぞれの上に第一の各電極に関して、異常な電極上に絶縁被膜を被着せしめ、残りの他の正常な電極には電極膜を積層して異常な電極との間に段差を形成させることにより正常な第一の各電極に第二の電極を接触させることを特徴とする半導体装置である。

本発明に従う半導体装置の一例であるGTOサイリスタの拡大断面図を第1図に示す。第1図において、pエミッタ（ p_e ）、nベース（ n_b ）、pベース（ p_b ）及びnエミッタ（ n_e ）の四つ

上記のような半導体基体1の不良電極3aを除去する方法が特開昭56-51867号に提案されている。この方法は、第4図に示すように、微細な形状をした不良電極3aをバイト5を使用して切削除去する方法である。しかし、この方法は、微細な不良電極3aを切削するために周囲の正常なカソード電極3にまで損傷を与え、ひいては半導体装置全体を不良にしてしまう危険性を有している。このように、特性不良電極だけを他の正常な電極に影響を与えることなく確実に除去することはかなり困難であるといえることができる。

したがって、本発明の目的は、上述のような不良電極を切削によって除去するのではなくて、正常な電極に影響を与えることなく不良電極の電気的機能を停止させるように構成した半導体装置を提供することである。

（問題点を解決するための手段）

本発明者は、不良電極上に絶縁被膜を被着した後に、正常な電極にさらに電極を積層し、不良電極上の絶縁被膜の上に付着した電極残がいを取り

の層から成る半導体基体1には、 p_b 上にゲート電極2と n_e 上にカソード電極3とが分割配置されている。欠陥Aを有する不良電極3aの上には絶縁膜8が被着される。その後、他の正常電極の上には電極膜（21、31）を積層し、不良電極上に積層された電極膜だけを取り除いて段差電極を形成する。そして、カソード積層電極上に接触電極板4が当接するように置かれている。このような構造が第3図に示した従来のGTO素子構造と異なる点は、正常電極上に積層電極が、そして不良電極上に絶縁膜が存在することである。

なお、半導体基体1はアルミニウムろう付け等によって支持基板上に固定（合金化又はろう付け）されるが、第1図には簡略のため示していない。

（作用）

上記のように、本発明に従う半導体装置は、第1図により例示したGTOサイリスタにみられるように、不良電極を含む欠陥セグメントの電極上に絶縁被膜を被着させた後に各セグメント上に電極を積層し、欠陥セグメント上の積層電極のみを

取り除いて段差電極を形成することにより、欠陥セグメントに主電流を流さないようにした構造を有するものである。このような構造とすることにより不良電極は機械的に切削除去されることはなく、ただ正常な電極上に電極膜を積層して段差電極を形成させるだけである。このため n_+ 層に不良電極があってもそれが電流遮断の妨げとはならず、半導体装置全体としての電流遮断が速に行われる。また、半導体基体に密着した電極膜の切削除去するという機械的操作を経ないので半導体基体の損傷もない。

(実施例)

以下、本発明を実施例により説明する。

本発明に従う半導体装置の一例としてGTOサイリスタの電極構造の拡大断面図を第1図に示す。また、このようなGTOサイリスタの具体的製造工程図を第2図に示す。

第2図を順次に説明すると、半導体基体1の表面に、第2図(a)では金属(アルミニウム)蒸着膜7を被着し、第2図(b)でフォトリソングによ

てゲート電極2とカソード電極3とを分割配置させる。分割配置された n_+ と p_+ との間の特性が良好であることを第2図(c)で確認する。その時点で異常 n_+ が検出される。第2図(d)では、検出された不良電極3a上に絶縁膜(例えばポリイミドのような有機重合体膜)を被着させる。第2図(e)で、半導体基体1の表面に再び金属(アルミニウム)蒸着膜を被着させ、第2図(f)では、第2図(e)と同様にそれぞれの電極を分割配置させる。このときに正常な n_+ 上のカソード電極3と積層カソード電極31及びゲート電極2と積層ゲート電極21とは同種の金属蒸着膜のために一体化され、不良電極3aの上の絶縁膜6に積層されたカソード電極31は単に付着された状態であり、圧縮ガス等の吹き付け、粘着テープでの引きはがし等で容易に剝離する。そのようになった状態を第2図(g)に示す。第2図(h)では接触されるそれぞれの電極部分を除いて、カソード電極3との絶縁のため絶縁膜61で覆われる。

(発明の効果)

以上、実施例によって説明したように、本発明の方法によれば、欠陥を有する n_+ 上の金属蒸着膜の上に絶縁膜を形成させ、他の正常電極全てに積層電極蒸着膜を被着して段差を形成させるので、たとえ n_+ 層に欠陥があってもその欠陥が電流遮断の妨げとはならず、半導体装置全体としての電流遮断が速やかに行われる。

また、本発明による方法は、従来の半導体基体に密着した電極膜を切削除去するという機械的操作がないため、半導体基体そのものの損傷を与えないという危険性は全くない安全性と、欠陥部の作用を簡単に抑制することの確実性とを兼ね備えている優れた方法である。

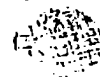
4. 図面の簡単な説明

第1図は、本発明に従う半導体装置の一例であるGTOサイリスタの電極構造の拡大断面図である。第2図(a)~(h)は、本発明の半導体装置の製造工程図である。第3図は従来のGTOサイリスタの電極構造の拡大断面図である。第4図は、従来技術による不良電極の除去方法の説明図である。

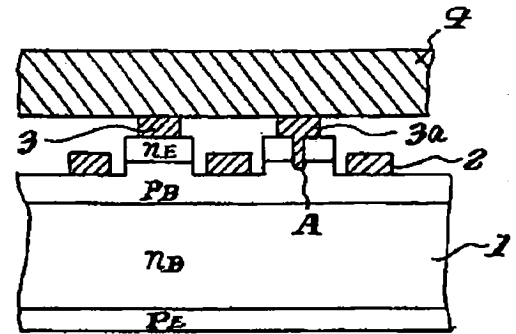
- 1…半導体基体、 2…ゲート電極、
- 3…カソード電極、 31…カソード積層電極、
- 6, 61…絶縁膜。

特許出願人 富士電機株式会社

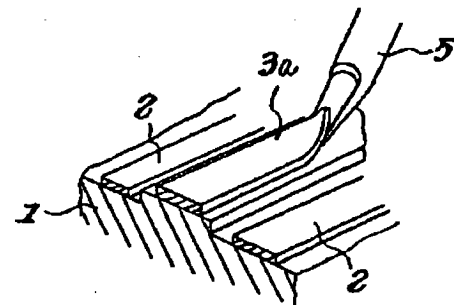
代理人 弁理士 染 谷



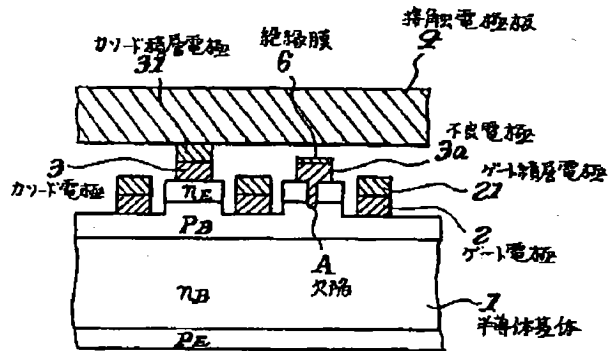
第3圖



第4圖



第1圖



第2圖

